

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154711

(43) 公開日 平成11年(1999) 6月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115
29/78

H 0 1 L 29/78 3 7 1
27/10 4 3 4
29/78 3 0 1 G

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21) 出願番号 特願平9-319706

(22) 出願日 平成9年(1997)11月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 間 博顕

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 雨宮 和美

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 渡辺 寿治

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

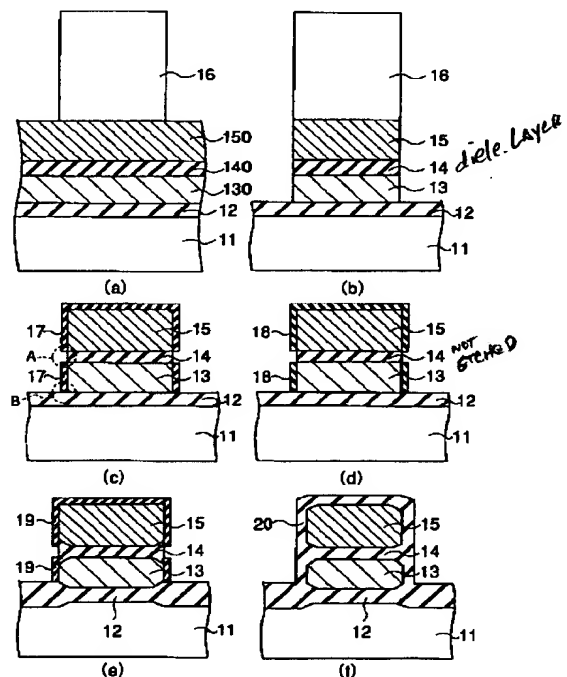
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】本発明は、スタックトゲート構造を有する、NOR型フラッシュEEPROMのメモリセルにおいて、浮遊ゲート電極のエッジ部の形状を改善できるようにすることを最も主要な特徴とする。

【解決手段】たとえば、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに、SiON膜18を選択的に形成した後、酸化性雰囲気中にてアニール処理を施すことによって後酸化工程を実施する。すると、トンネル酸化膜12もしくは層間絶縁膜14に接する、浮遊ゲート電極13および制御ゲート電極15のエッジ部において、酸化膜が徐々に成長する。このように、浮遊ゲート電極13の、少なくとも側壁部にSiON膜18を形成しておくことにより、その部分での酸化を抑制しつつ、浮遊ゲート電極13のエッジ部を、コーナー部分が丸くなるように形成できる。



【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜を介してゲート電極部を形成する第一の工程と、
少なくとも、前記ゲート電極部の側壁部分に酸化抑止膜を形成する第二の工程と、
この後、熱酸化処理を行って、前記ゲート電極部の前記絶縁膜と接するエッジ部分で選択的に酸化を進行させる第三の工程とからなることを特徴とする半導体装置の製造方法。

【請求項 2】 前記ゲート電極部は、前記絶縁膜上に設けられる浮遊ゲート電極、および、この浮遊ゲート電極上に層間絶縁膜を介して設けられる制御ゲート電極から

$$r \geq 0.62 \text{ Tox}$$

ただし、 r はソース領域側のゲート電極部のエッジ部分の曲率半径、

Tox は絶縁膜の膜厚。

【請求項 5】 前記ゲート電極部のエッジ部分の形状が、下記の数 2 で示される条件を満足するように制御されることを特徴とする請求項 1 に記載の半導体装置の製

$$\frac{r}{\text{Tox}} \geq \frac{\sqrt{1 + r / \text{Tox}_1}}{\cosh^{-1}(1 + (\text{Tox}_1 / r))}$$

ただし、 r はソース領域側のゲート電極部のエッジ部分の曲率半径、

Tox は絶縁膜の膜厚（中央部）、

Tox_1 はゲート電極部のエッジ部分の直下における絶縁膜の膜厚。

【請求項 6】 前記酸化抑止膜は、 SiN 膜を用いて形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記 SiN 膜は、前記ゲート電極部の側壁面を窒化させることにより形成されることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記 SiN 膜は、前記ゲート電極部の側壁面に形成される自然酸化膜を除去した後に形成されることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記 SiN 膜は、前記ゲート電極部の側壁面に形成される自然酸化膜を除去した後に堆積させることにより形成されることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 10】 前記酸化抑止膜は、 SiON 膜を用いて形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 11】 前記 SiON 膜は、前記ゲート電極部の側壁面に形成される自然酸化膜を窒化性雰囲気中で窒化させることにより形成されることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記 SiON 膜は、前記ゲート電極部の側壁面を酸窒化性雰囲気中で酸窒化させることにより形成されることを特徴とする請求項 10 に記載の半導体

なることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 さらに、前記ゲート電極部をマスクにして、前記半導体基板の表面領域にソース領域およびドレイン領域となる不純物拡散層を形成する工程を備えることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記ゲート電極部のエッジ部分の形状が、下記の数 1 で示される条件を満足するように制御されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【数 1】

造方法。

【数 2】

装置の製造方法。

【請求項 13】 前記 SiON 膜は、前記ゲート電極部の側壁面に形成される自然酸化膜を除去した後に形成されることを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】 前記酸化抑止膜は、前記熱酸化処理により酸化膜に変化することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関するもので、特に、半導体基板上にゲート酸化膜を介してゲート電極が形成されてなる MOSFET などに用いられるものである。

【0002】

【従来の技術】周知のように、LSI の製造においては、MOSFET のゲート電極を RIE により形成した後に、後酸化工程を施すのが一般的となっている。すなわち、ゲート電極を加工した直後は、ゲート電極の側壁部分には電極材料である多結晶シリコンが露出しており、また、ゲート酸化膜の、ゲート電極の加工部付近は加工時のダメージを受けている。このため、後酸化によるダメージの回復と絶縁膜によるゲート電極の被覆とを行う必要があった。

【0003】特に、スタックゲート構造を有する不揮発性メモリの場合、浮遊ゲート電極中で電荷を保持するため、浮遊ゲート電極のエッジ部（ゲートコーナー部分）の近傍におけるゲート酸化膜（トンネル酸化膜）の膜質が、デバイスの特性に大きく影響する。

【0004】図7は、従来のMOSFETでの、後酸化工程にかかる処理の概略を示すものである。たとえば、ウェル領域の形成や素子分離領域の形成などの工程を経て、半導体基板101の表面の素子領域上に、ゲート酸化膜102を介してゲート電極103を形成した後（同図（a）参照）、後酸化工程が施される。

【0005】後酸化工程での処理としては、ゲート電極103の周囲にまんべんなく酸化剤104を供給することにより、ゲート電極103の形成にともなう、ゲート酸化膜102のダメージの回復と、絶縁膜105によるゲート電極103の被覆とが行われる（同図（b）参照）。

【0006】しかしながら、通常の後酸化処理時には、構造上、ゲート電極103の側壁部には酸化剤104の供給が十分に行われるのに対し、ゲート酸化膜102と接する、ゲート電極103のエッジ部103aへの酸化剤104の供給は、ゲート側壁部に比較して少ない。その上、応力の影響もあるため、ゲートエッジ部103aでの酸化の速度は、ゲート側壁部での酸化の速度よりも遅くなる。

【0007】その結果、たとえば同図（b）に示すように、ゲート側壁部とゲートエッジ部103aとで絶縁膜105の成長に差が生じ、ゲートエッジ部103aの形状が尖った状態となりやすい。この場合、その尖った部分に電界が集中するため、そこでのゲート酸化膜102の劣化がいちじるしく、デバイスの信頼性を損うという不具合があった。

【0008】また、スタックゲート構造を有する不揮発性メモリである、NOR型フラッシュEEPROMにおいては消去しきい値の制御性が重要であり、データを消去する際の、浮遊ゲート電極からソース領域側の拡散層への電子（エレクトロン）の放出効率が、浮遊ゲート電極の形状およびトンネル酸化膜の膜厚などに大きく左右される。

【0009】特に、浮遊ゲート電極のエッジ部の形状によっては、消去しきい値（消去スピード）のばらつきが大きくなるため、デバイスの動作上で支障をきたす結果となる。

【0010】すなわち、NOR型フラッシュEEPROMにおけるデータの消去は、ソース領域と浮遊ゲート電極とのオーバーラップ領域に高電界を印加し、F-Nトンネル電流により、浮遊ゲート電極からソース領域側へエレクトロンを引き抜くことによって行われる。

【0011】このため、浮遊ゲート電極が尖った形状のエッジ部を有する場合、つまり、電界が集中するような

形状を有する場合には、その形状に消去電流密度が依存するようになる結果、消去スピードのばらつきが大きくなるという欠点があった。

【0012】図8は、一般的なNOR型フラッシュEEPROMの、メモリセルの構成を概略的に示すものである。このセルは、たとえば、p型半導体基板201の表面領域に、選択的に、n型のソース領域202およびドレイン領域203が形成されてなる構成とされている。また、ソース領域202およびドレイン領域203の相互間のチャンネル領域204上には、トンネル酸化膜205を介して、浮遊ゲート電極206が設けられている。

【0013】さらに、この浮遊ゲート電極206上には、層間絶縁膜207を介して、制御ゲート電極208が形成されている。そして、層間絶縁膜207を含む、上記浮遊ゲート電極206および上記制御ゲート電極208の周囲は、酸化膜209によって保護されている。

【0014】このような構成のNOR型フラッシュEEPROMのメモリセルにおいて、データの消去を行う場合、制御ゲート電極208に負電位（たとえば、-10V）を、また、ソース領域202に正電位（たとえば、+5V）を、それぞれ印加する。

【0015】すると、浮遊ゲート電極206の中央部付近から流れるF-Nトンネル電流（図示実線301）によって、浮遊ゲート電極206中で保持されているエレクトロンがソース領域202へと引き抜かれる。これにより、データの消去が行われる。

【0016】ところが、浮遊ゲート電極206が尖った形状のエッジ部を有する場合、その尖ったエッジ部に電界が集中し、そこを流れるF-Nトンネル電流（図示破線302）が増加する。

【0017】このF-Nトンネル電流302が、本来の消去電流（F-Nトンネル電流301）よりも支配的になると、そのセルでの消去スピードが、他のセルよりも速くなる。

【0018】このように、浮遊ゲート電極206の形状、特に、エッジ部の形状によって、セルごとの消去スピードにばらつきがでる。また、消去スピードの特に速いセルが出現した場合、そのセルは過消去セルとなる。過消去セルの出現は、読み出し誤動作を引き起こす原因となる。たとえば、選択されていないセルのデータが過消去の状態となっている場合、そのセルは常にオン状態となって、ビット線に電流が流れる。そのため、選択したセルのデータが正常に読み出せなくなる。

【0019】

【発明が解決しようとする課題】上記したように、従来においては、MOSFETのゲート電極を形成した後に後酸化工程を施すことによって、電極加工時のゲート酸化膜のダメージを回復できるものの、ゲート電極のエッジ部の形状が鋭角になって、その尖った部分に電界が集中しやすくなるため、電界が集中する部分でのゲート酸

化膜の劣化がいちじるしく、デバイスの信頼性を損うという問題があった。

【0020】特に、NOR型フラッシュEEPROMのメモリセルにおいては、浮遊ゲート電極のエッジ部の形状が鋭角になると、セルごとの消去しきい値のばらつきが大きくなり、デバイスの動作上で支障をきたすという問題があった。

【0021】そこで、この発明は、ゲート電極部のエッジ部分の形状を改善でき、デバイス特性を向上することが可能な半導体装置の製造方法を提供することを目的としている。

【0022】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置の製造方法にあつては、半導体基板上に絶縁膜を介してゲート電極部を形成する第一の工程と、少なくとも、前記ゲート電極部の側壁部分に酸化抑止膜を形成する第二の工程と、この後、熱酸化処理を行って、前記ゲート電極部の前記絶縁膜と接するエッジ部分で選択的に酸化を進行させる第三の工程とからなっている。

【0023】この発明の半導体装置の製造方法によれば、絶縁膜のダメージの回復のみでなく、ゲート電極部の絶縁膜と接するエッジ部分に対して選択的に厚く酸化膜を形成できるようになる。これにより、ゲート電極部のエッジ部分を電界の集中しにくい形状とすることが可能となるものである。

【0024】特に、窒化膜または酸窒化膜の選択的形成によって酸化抑止膜を形成するようにした場合には、低温で、かつ、短時間の窒化処理または酸窒化処理を行うことで、ゲート電極部のエッジ部分の絶縁膜を（酸）窒化させることなく、ゲート電極部の側壁部分の多結晶シリコンだけを有効に（酸）窒化させることが可能である。

【0025】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、本発明の実施の一形態にかかる半導体装置の製造方法の概略を、スタックゲート構造を有する、NOR型フラッシュEEPROMに適用した場合を例に示すものである。

【0026】まず、たとえば図1(a)に示すように、ウェル領域の形成や素子分離領域の形成などの工程を経て、半導体基板11の表面に素子領域を形成する。次いで、熱酸化法により、素子領域上にトンネル酸化膜（絶縁膜）12を形成する。この後、浮遊ゲート電極となる第1層目の多結晶シリコン膜130を堆積し、その不純物濃度が $5 \times 10^{20} \text{ cm}^{-3}$ 以下程度となるようにリンを拡散する。なお、図示されていないが、多結晶シリコン膜130は堆積後に素子分離領域上ではスリット状に除去されたパターンに加工されている。

【0027】また、多結晶シリコン膜130上に、層間

絶縁膜となるONO膜（ $\text{SiO}/\text{SiN}/\text{SiO}$ の積層膜）140を堆積する。さらに、制御ゲート電極となる第2層目の多結晶シリコン膜150または多結晶シリコン膜と高融点金属シリサイド膜などの積層膜を堆積し、多結晶シリコン膜中には不純物としてリンを拡散する。そして、通常のリソグラフィ技術により、上記多結晶シリコン膜150上にゲート電極加工用のレジストパターン16を形成する。

【0028】続いて、上記レジストパターン16をマスクに、たとえばRIE法により、上記多結晶シリコン膜150、上記ONO膜140、および、上記多結晶シリコン膜130をパターニングする。これにより、たとえば図1(b)に示すように、浮遊ゲート電極13上に、層間絶縁膜14を介して、制御ゲート電極15を積層してなる、ゲート電極部が形成される。

【0029】続いて、たとえば図1(c)に示すように、上記レジストパターン16を酸素プラズマ雰囲気中でのレジスト灰化法により除去する。この場合、ゲート電極加工時のエッチング面に近接した図中の領域Aおよび領域Bでは、ゲート電極加工時のRIE法によるダメージによって、層間絶縁膜14およびトンネル酸化膜12の絶縁性が劣化している。また、領域Bに示されるゲート電極部のエッジ部分においては、RIE法によって浮遊ゲート電極13が半導体基板11に対してほぼ垂直に加工されているため、電荷が集中しやすい形状となっている。

【0030】そこで、層間絶縁膜14およびトンネル酸化膜12の絶縁性の劣化の回復、並びに、浮遊ゲート電極13の電界が集中しやすい形状を改善するために、後酸化工程を実施するが、それに先立って、一般的には、金属不純物を除去する目的で半導体基板11をウェーハごと塩酸などの酸に浸漬する前処理工程を行う。

【0031】ここでの前処理工程により、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とには、それぞれ、20~30オングストローム程度の厚さの自然酸化膜17が成長する。なお、こうした前処理工程を行わない場合でも、通常は、浮遊ゲート電極13の側壁部や制御ゲート電極15の上部および側壁部に自然酸化膜17が形成される。

【0032】続いて、浮遊ゲート電極13の少なくとも側壁部に酸化抑止膜を形成すべく、たとえば、 NH_3 雰囲気中で、700℃の温度により、60分間、アニール処理する。これにより、たとえば図1(d)に示すように、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とにそれぞれ形成された自然酸化膜17が、酸窒化膜である SiON 膜18に変化する。

【0033】その際、自然酸化膜17は SiON 膜18に容易に変化するが、トンネル酸化膜12や層間絶縁膜14は NH_3 に影響されない。このため、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁

部とにだけ、酸化抑止膜としてのSiON膜18を選択的に形成できる。

【0034】続いて、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに、SiON膜18を選択的に形成した状態において、酸化性雰囲気中にてアニール処理を施すことにより、後酸化工程での処理が実行される。

【0035】すると、たとえば図1(e)に示すように、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とにはSiON膜18が形成されているため、トンネル酸化膜12もしくは層間絶縁膜14に接する、浮遊ゲート電極13および制御ゲート電極15のエッジ部（ゲートコーナー部分）において、酸化膜が徐々に成長する。

【0036】すなわち、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに形成されたSiON膜18によって、その部分での酸化が抑制される一方で、浮遊ゲート電極13および制御ゲート電極15のエッジ部が選択的に酸化されて、各コーナー部分が丸くなるように酸化膜が厚く成長する。

【0037】また、酸化性雰囲気中でのアニール処理を行う間に、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とにそれぞれ形成されたSiON膜18は徐々に酸化されて、シリコン酸化膜19に変化する。

【0038】さらに、浮遊ゲート電極13および制御ゲート電極15のエッジ部での酸化膜の成長にともなって、このゲート電極部中央（チャネル領域）を除く部位の、上記トンネル酸化膜12も同時に成長する。

【0039】ここで、図2を参照して、後酸化工程での処理の概略について、浮遊ゲート電極13の側壁部にSiON膜18が形成されていない場合と、形成されている場合とを比較して説明する。

【0040】たとえば、浮遊ゲート電極13の側壁部にSiON膜18が形成されていない場合には、同図(a)に示すように、側壁部に対して、ほぼ均等に酸化剤31が供給されることになる。

【0041】一方、浮遊ゲート電極13のエッジ部には、トンネル酸化膜12中を酸化剤31が拡散することにより、酸化剤31の一部が供給されるが、浮遊ゲート電極13のエッジ部は酸化剤31の供給に対する立体角が小さいために、そこに供給される酸化剤31は側壁部よりも少ない。

【0042】その結果、浮遊ゲート電極13の側壁部が主に酸化され、エッジ部はほとんど酸化されない。ところが、浮遊ゲート電極13の側壁部にSiON膜18が形成されている場合には、同図(b)に示すように、このSiON膜18によって酸化剤31の供給が抑止されることにより、側壁部には酸化剤31はほとんど供給されない。

【0043】一方、浮遊ゲート電極13のエッジ部には、トンネル酸化膜12中を拡散して、酸化剤31が供給されることになる。その結果、浮遊ゲート電極13の側壁部はほとんど酸化されず、エッジ部より徐々に酸化される。

【0044】このように、浮遊ゲート電極13の側壁部にSiON膜18を設けることによって、その部分での酸化を抑制することが可能となるとともに、エッジ部を選択的に酸化できるようになる。

【0045】上記した後酸化工程において、さらに、酸化性雰囲気中でのアニール処理を継続することにより、浮遊ゲート電極13および制御ゲート電極15のエッジ部は最終的には各コーナー部分が丸く、電界が集中しにくい形状となる。

【0046】また、上記したSiON膜18のシリコン酸化膜19への変化により、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とも酸化剤が供給されるようになる。このため、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とからもそれぞれ酸化が進行する結果、たとえば図1(f)に示すように、ゲート電極部の周囲を覆うようにして酸化膜（絶縁膜）20が厚く成長する。

【0047】こうして、後酸化工程に先立って、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とにSiON膜18を形成することにより、RIEによる層間絶縁膜14およびトンネル酸化膜12の絶縁性の劣化の回復、並びに、酸化膜20によるゲート電極部の被覆のみでなく、浮遊ゲート電極13の、特に、電界が集中しやすいエッジ部の形状を改善することが可能となる。

【0048】以降は、上記ゲート電極部をマスクにして、半導体基板11の表面の素子領域にソース領域およびドレイン領域となる拡散層を形成するなどの、通常のNOR型フラッシュEEPROMの製造工程を経ることにより、デバイス特性に優れたメモリセルが完成される。

【0049】図3は、上記した工程を経て製造されたNOR型フラッシュEEPROMの、メモリセルの構成を概略的に示すものである。すなわち、このセルは、たとえば、半導体基板11の素子領域上に、トンネル酸化膜12を介して、浮遊ゲート電極13、層間絶縁膜14、および、制御ゲート電極15を積層してなる、ゲート電極部が設けられた構成となっている。

【0050】このゲート電極部の、上記浮遊ゲート電極13および上記制御ゲート電極15のエッジ部は各コーナー部分が丸く、電界が集中しにくい形状となっている。また、エッジ部をそれぞれ含んで、上記ゲート電極部の周囲は酸化膜20によって保護されている。

【0051】さらに、このゲート電極部を除く、上記半導体基板11の素子領域の表面には、ソース領域21お

よびドレイン領域 22 が選択的に形成されている。そして、ソース領域 21 およびドレイン領域 22 の相互間に対応する、上記ゲート電極部の直下にはチャンネル領域 23 が形成されている。

【0052】このような構成のメモリセルにおいて、データの消去を行う場合には、制御ゲート電極 15 に負電位（たとえば、 -10V ）を、また、ソース領域 21 に正電位（たとえば、 $+5\text{V}$ ）を、それぞれ印加する。

【0053】こうして、浮遊ゲート電極 13 とソース領域 21 とのオーバーラップ領域を流れる F-N トンネル電流（本来の消去電流）によって、浮遊ゲート電極 13 中で保持されているエレクトロンをソース領域 21 へと引き抜くことで、データの消去が行われる。

【0054】その際、浮遊ゲート電極 13 の、ソース領域 21 側のエッジ部の形状が尖っている場合、その部分に電界が集中するため、浮遊ゲート電極 13 のエッジ部付近から流れる F-N トンネル電流が増加し、本来の消去電流よりも支配的となることは、すでに述べた通りである。

【0055】このメモリセルの場合、ゲート電極部の、

$$E = \sqrt{1 + r / T_{ox}} \frac{V / r}{\cosh^{-1}(1 + (T_{ox} / r))} \quad \dots (1)$$

上記 (1) 式を、本来の消去電流の磁界 V/T_{ox} で割って得られる商 FEF (Field Enhancement Factor) は、下記の数 4 で示される式 (2) となる。

$$FEF = \frac{\sqrt{1 + r / T_{ox}}}{r / T_{ox}} \frac{1}{\cosh^{-1}(1 + (T_{ox} / r))} \quad \dots (2)$$

【0060】したがって、 $FEF > 1$ のとき、電界の集中によって浮遊ゲート電極 13 のエッジ部付近から流れる F-N トンネル電流が、本来の消去電流よりも支配的となる。

【0061】図 5 は、上記式 (2) をグラフ化して示すものである。この図からも明らかのように、 $r < 0.62 T_{ox}$ を満足するとき、 $FEF > 1$ となる。

【0062】このことから、浮遊ゲート電極 13 の、ソ

$$r \geq 0.62 T_{ox}$$

【0064】実際には、図 4 中の点 C とソース領域 21 との距離は、後酸化によるトンネル酸化膜 12 の成長により、元（ゲート電極部中央の直下）のトンネル酸化膜 12 の膜厚 T_{ox} よりも大きくなることが予想される。

【0065】たとえば、後酸化工程後のトンネル酸化膜 12 の膜厚が、元のトンネル酸化膜 12 の膜厚 T_{ox} の 2 倍になれば、 $FEF > 2$ のとき、電界の集中によって浮遊ゲート電極 13 のエッジ部付近から流れる F-N トンネル電流が、本来の消去電流よりも支配的になる。

【0066】つまり、後酸化工程後の点 C とソース領域

$$\frac{r}{T_{ox}} \geq \frac{\sqrt{1 + r / T_{ox1}}}{\cosh^{-1}(1 + (T_{ox1} / r))} \quad \dots (4)$$

少なくとも浮遊ゲート電極 13 の、ソース領域 21 側のエッジ部の形状が、コーナー部分が丸く、電界が集中しにくい形状とされており、電界の集中によってゲート電極 13 のエッジ部付近から流れる F-N トンネル電流が、本来の消去電流よりも支配的となることはない。

【0056】ここで、図 4 を参照して、電界の集中がなく、浮遊ゲート電極 13 のエッジ部付近から流れる F-N トンネル電流が、本来の消去電流よりも支配的となるのを防ぐことが可能な、浮遊ゲート電極 13 のエッジ部の形状について考察する。

【0057】たとえば、浮遊ゲート電極 13 の、ソース領域 21 側のエッジ部を、半導体基板 11 上のソース領域 21 を接地導体とする平面 41 に対して、トンネル酸化膜 12 の膜厚 T_{ox} だけ隔てておかれた円筒型導体（半径 r 、電位 V ）42 により近似させるとする。すると、図中の点 C で表される浮遊ゲート電極 13 のエッジ部における電界 E は、下記の数 3 で示される式 (1) により与えられる。

【0058】
【数 3】

【0059】
【数 4】

ソース領域 21 側のエッジ部を、下記の数 5 で示される式 (3) を満たすような形状とすることで、電界の集中によって浮遊ゲート電極 13 のエッジ部付近から流れる F-N トンネル電流が、本来の消去電流よりも支配的となるのを回避できる。

【0063】
【数 5】

... (3)

21 との距離（後酸化工程後のエッジ部の直下におけるトンネル酸化膜 12 の膜厚）を T_{ox1} とすると、浮遊ゲート電極 13 の、ソース領域 21 側のエッジ部の形状を、下記の数 6 で示される式 (4) を満たすように形成することで、電界の集中によって浮遊ゲート電極 13 のエッジ部付近から流れる F-N トンネル電流が、本来の消去電流よりも支配的となるのを回避できる。

【0067】
【数 6】

【0068】すなわち、上記した図3において、ゲート電極部の、少なくとも浮遊ゲート電極13の、ソース領域21側のエッジ部を、上記式(6)を満足するように、後酸化により、コーナー部分が丸く、電界が集中しにくい形状とした場合には、電界の集中によって浮遊ゲート電極13のエッジ部付近から流れるF-Nトンネル電流が、本来の消去電流よりも支配的となるのを防ぐことが可能となる。

【0069】この結果、トンネル酸化膜12の劣化を防止できるのみでなく、セルごとの消去しきい値(消去スピード)のばらつきを抑えて、過消去セルの出現をも防止できるようになるものである。

【0070】上記したように、本発明の実施の一形態では、トンネル酸化膜のダメージの回復のみでなく、浮遊ゲート電極のトンネル酸化膜と接するエッジ部に対して選択的に酸化膜を形成できるようにしている。

【0071】すなわち、浮遊ゲート電極の側壁部と制御ゲート電極の上部および側壁部とに酸化抑止効果を有するSiON膜を形成し、その部分での酸化を抑制する一方で、浮遊ゲート電極および制御ゲート電極のエッジ部から徐々に酸化されるようにしている。

【0072】これにより、浮遊ゲート電極の、ソース領域側のエッジ部を、コーナー部分が丸く、電界の集中しにくい形状を有して形成することが容易に可能となるため、後酸化による、浮遊ゲート電極のエッジ部の形状の悪化を改善できるようになる。

【0073】したがって、電界の集中による消去時のF-Nトンネル電流の局所的な増加を防ぐことが可能となって、セルごとの消去しきい値のばらつきを防止できるようになるなど、デバイス特性の大幅な向上が期待できるものである。

【0074】なお、上記した本発明の実施の一形態においては、浮遊ゲート電極の側壁部と制御ゲート電極の上部および側壁部とに形成された自然酸化膜を選択酸化することによってSiON膜を形成するようにした場合を例に説明したが、これに限らず、たとえば自然酸化膜を除去した後に、新たにSiON膜の形成を行うようにしても良い。

【0075】図6は、本発明の実施の他の形態にかかる半導体装置の製造方法を、スタックゲート構造を有する、NOR型フラッシュEEPROMを例に概略的に示すものである。なお、前処理により自然酸化膜が形成されるまでの工程は、図1(a)～図1(c)の場合と同様であるため、ここでは、それ以降の処理についてのみ説明する。

【0076】すなわち、前処理工程により、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに、それぞれ、自然酸化膜17が形成された状態(図1(c)参照)において、まず、たとえば図6(a)に示すように、希釈HF溶液を用いて、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに形成された自然酸化膜17を除去する。

ト電極13の側壁部と制御ゲート電極15の上部および側壁部とに形成された自然酸化膜17を除去する。

【0077】続いて、自然酸化膜17の除去によって電極材料である多結晶シリコンが露出した、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに、酸化抑止膜としてのSiN膜18'を形成する。

【0078】この場合、たとえば、希釈HF溶液を用いた自然酸化膜17の除去処理に引き続いて、半導体基板11をウェーハごとLP-CVD炉中に導入する。そして、その導入時における自然酸化膜を水素雰囲気中で除去した後、さらに、NH₃雰囲気中で、700℃の温度により、60分間、アニール処理する。これにより、たとえば図6(b)に示すように、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに、それぞれ、窒化膜であるSiN膜18'が形成される。

【0079】その際、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とでは、露出する多結晶シリコンがSiN膜18'に容易に変化するが、トンネル酸化膜12や層間絶縁膜14はNH₃に影響されない。このため、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とにだけ、酸化抑止膜としてのSiN膜18'を選択的に形成できる。

【0080】続いて、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに、SiN膜18'を選択的に形成した状態において、酸化性雰囲気中にてアニール処理を施すことにより、後酸化工程での処理が実行される。

【0081】すると、たとえば図6(c)に示すように、酸化性雰囲気中でのアニール処理を行う間に、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とにそれぞれ形成されたSiN膜18'は徐々に酸化されて、シリコン酸化膜19に変化する。

【0082】また、同時に、トンネル酸化膜12もしくは層間絶縁膜14に接する、浮遊ゲート電極13および制御ゲート電極15のエッジ部(ゲートコーナー部分)において、酸化膜が徐々に成長する。これにより、浮遊ゲート電極13および制御ゲート電極15のエッジ部は、最終的には、各コーナー部分が丸く、電界が集中しにくい形状となる。

【0083】さらに、浮遊ゲート電極13および制御ゲート電極15のエッジ部での酸化膜の成長にともなう、ゲート電極部中央(チャネル領域)を除く部位の、上記トンネル酸化膜12も同時に成長する。

【0084】上記した後酸化工程において、さらに、酸化性雰囲気中でのアニール処理を継続することにより、上記したSiN膜18'のシリコン酸化膜19への変化により、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とも酸化剤が供給されるようになる。

【0085】このため、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とからもそれぞれ酸化が進行する結果、たとえば図6(d)に示すように、ゲート電極部の周囲を覆うようにして酸化膜(絶縁膜)20が厚く成長する。

【0086】このように、後酸化工程に先立って、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とに存在する自然酸化膜17を除去した後にSiN膜18'を形成するようにした場合にも、RIEによる層間絶縁膜14およびトンネル酸化膜12の絶縁性の劣化の回復、並びに、酸化膜20によるゲート電極部の被覆のみでなく、浮遊ゲート電極13の、特に、電界が集中しやすいエッジ部の形状を改善することが可能となる。

【0087】以降は、同様にして、通常のNOR型フラッシュEEPROMの製造工程を経ることにより、デバイス特性に優れたメモリセルが完成される。なお、上記したいずれの形態においても、窒化性雰囲気であるNH₃雰囲気中でのアニール処理によりSiN膜またはSiON膜を形成しているが、たとえば、N₂Oガス雰囲気中やNOガス雰囲気中などの酸化性雰囲気中でのアニール処理によってSiON膜の形成を行うようにしても良い。

【0088】さらに、酸化抑止膜としてはゲート電極部を窒化または酸化して得られるSiN膜やSiON膜を用いる場合に限らず、たとえば、堆積SiN膜(窒化膜)を用いた場合にも同様の効果が得られる。この場合、たとえば、希釈HF溶液による自然酸化膜17の除去処理に引き続いて、半導体基板11をウェーハごとLP-CVD炉中に導入し、NH₃とSiH₄ガスとを用いたCVD法によって薄いSiN膜をシリコンの露出面に堆積させる。

【0089】ここで、堆積SiN膜は、トンネル酸化膜12や層間絶縁膜14の表面よりもシリコンの露出面で選択的に速く堆積される。このため、浮遊ゲート電極13の側壁部と制御ゲート電極15の上部および側壁部とにだけ、酸化抑止膜としての堆積SiN膜を容易に形成できる。

【0090】なお、酸化抑止膜を用いることなく、浮遊ゲート電極のエッジ部の形状を改善する方法としては、たとえば、浮遊ゲート電極のリンの濃度を $5 \times 10^{20} \text{ cm}^{-3}$ 以上とすることによっても、実現できる。すなわち、リンの濃度を高くした場合、浮遊ゲート電極が酸化されやすくなるため、上記式(4)における、エッジ部の曲率半径 r を大きくできるとともに、エッジ部と半導体基板との距離 Tox1 を大きくできる。

【0091】また、上記式(4)を満足させるために、後酸化工程の条件を、高温希釈酸化(たとえば、1000℃以上の高温)にすることによっても、同様に実施することが可能である。

【0092】また、高温希釈酸化の代わりに、NF₃酸化にすることによっても、同様に実施することが可能である。また、上記したリンの濃度の調整と後酸化工程の条件の調整との両者を組み合わせることで、上記式

(4)を満足させることも可能である。

【0093】さらに、NOR型フラッシュEEPROMのメモリセルに限らず、半導体基板上にゲート酸化膜を介してゲート電極が形成されてなるMOSFETにも同様に適用可能である。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0094】

【発明の効果】以上、詳述したようにこの発明によれば、ゲート電極部のエッジ部分の形状を改善でき、デバイス特性を向上することが可能な半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の実施の一形態にかかる半導体装置の製造方法の概略を、スタックゲート構造を有する、NOR型フラッシュEEPROMに適用した場合を例に示す要部の断面図。

【図2】同じく、後酸化工程での処理の概略について説明するために示す要部の断面図。

【図3】同じく、NOR型フラッシュEEPROMの、メモリセルの構成の要部を示す概略断面図。

【図4】同じく、浮遊ゲート電極のエッジ部の形状を模式的に示す概略図。

【図5】同じく、Field Enhancement Factorの、トンネル酸化膜の膜厚に対する曲率半径との関係を示す概略図。

【図6】この発明の実施の他の形態にかかる半導体装置の製造方法を、スタックゲート構造を有する、NOR型フラッシュEEPROMに適用した場合を例に示す要部の概略断面図。

【図7】従来技術とその問題点を説明するために示すMOSFETの概略断面図。

【図8】同じく、一般的なNOR型フラッシュEEPROMのメモリセルの構成を示す要部の概略断面図。

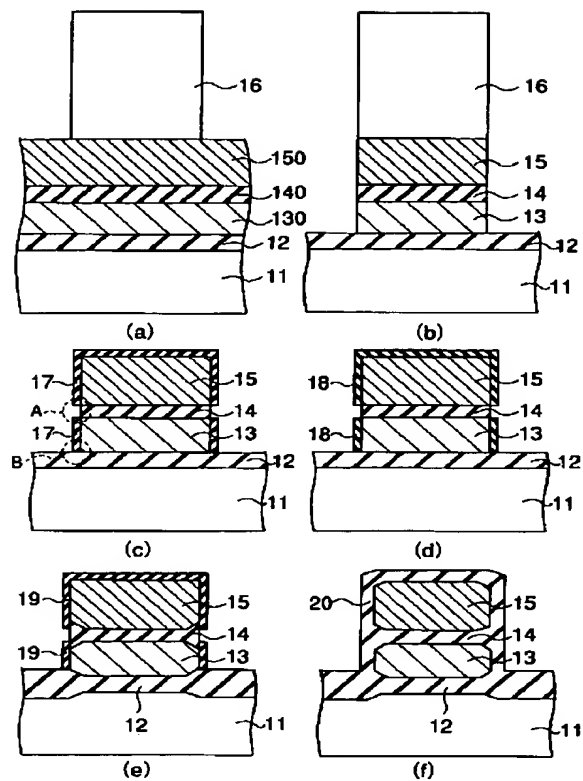
【符号の説明】

- 11…半導体基板
- 12…トンネル酸化膜
- 13…浮遊ゲート電極
- 14…層間絶縁膜
- 15…制御ゲート電極
- 16…レジストパターン
- 17…自然酸化膜
- 18…SiON膜
- 18'…SiN膜
- 19…シリコン酸化膜
- 20…酸化膜

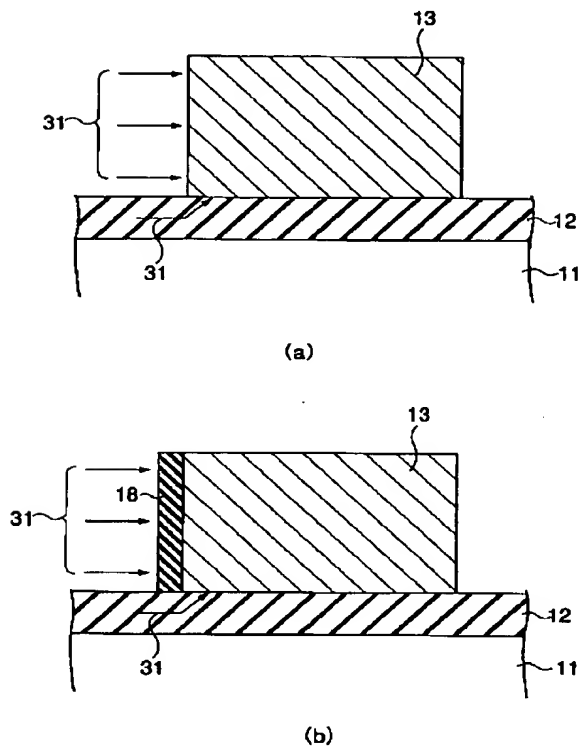
- 21…ソース領域
 22…ドレイン領域
 23…チャネル領域
 31…酸化剤
 41…接地導体平面

- 42…円筒型導体
 130…多結晶シリコン膜（浮遊ゲート電極用）
 140…ONO膜（層間絶縁膜用）
 150…多結晶シリコン膜（制御ゲート電極用）

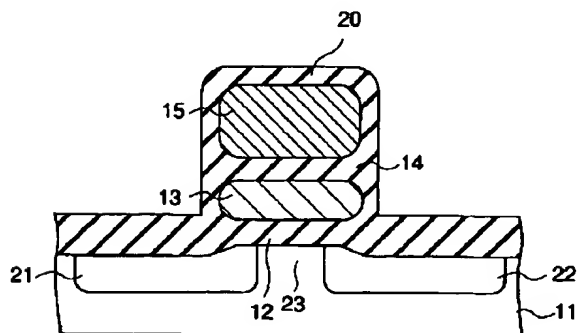
【図1】



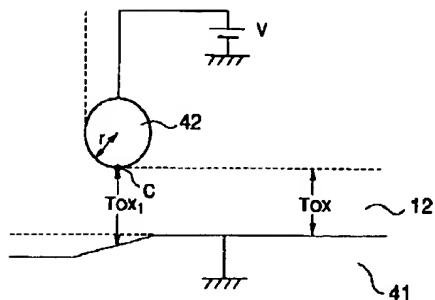
【図2】



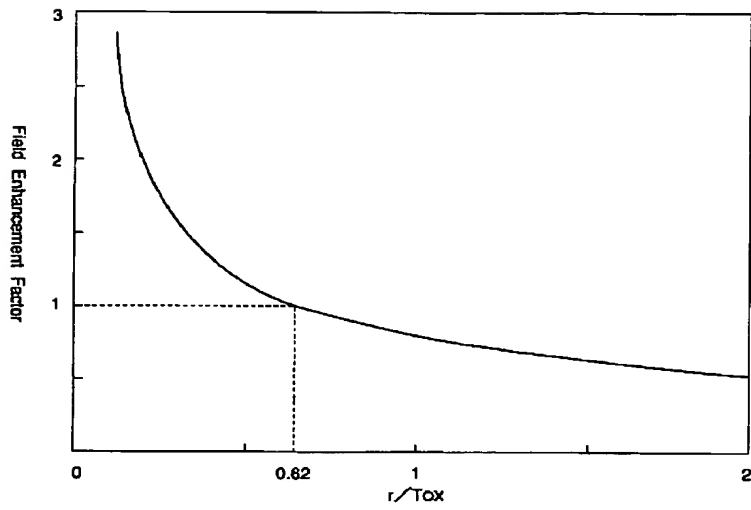
【図3】



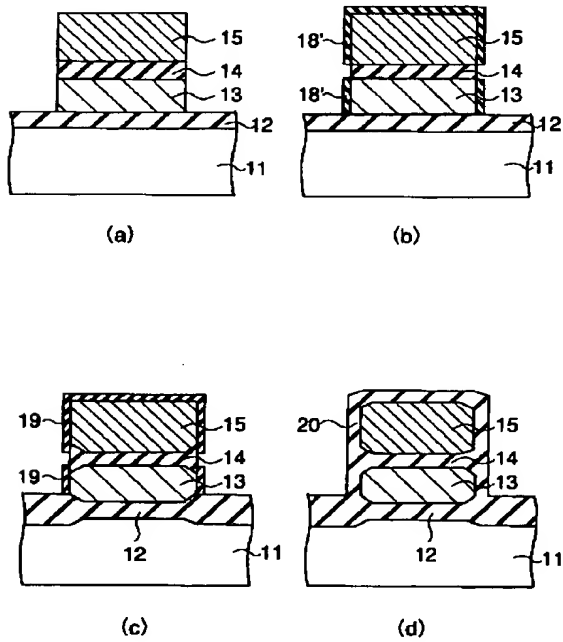
【図4】



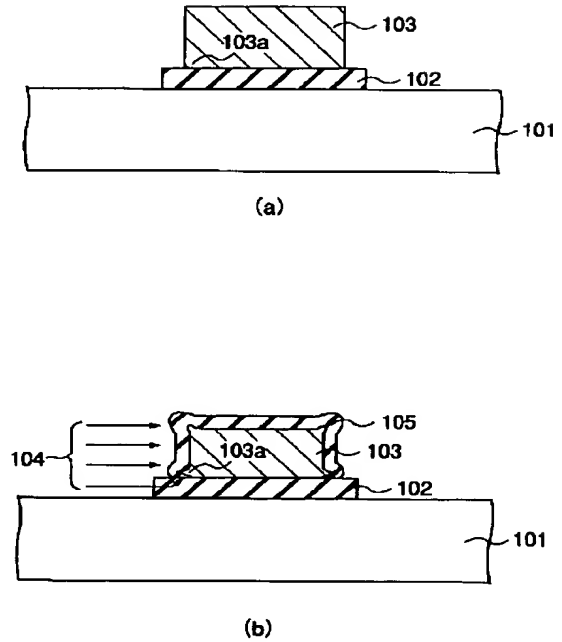
【図 5】



【図 6】



【図 7】



【図 8】

